

A2

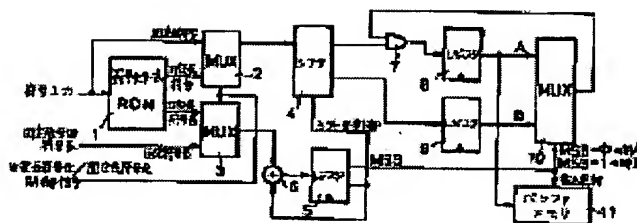
VARIABLE LENGTH/FIXED LENGTH ENCODING CIRCUIT

Patent number: JP5022156
Publication date: 1993-01-29
Inventor: IKEDA YASUNARI
Applicant: SONY CORP
Classification:
 - international: H03M7/42; G06F15/66; H04N1/41; H04N7/13
 - european:
Application number: JP19910175579 19910716
Priority number(s):

Abstract of JP5022156

PURPOSE: To link fixed length codes having various lengths without adding any dummy space between variable length codes.

CONSTITUTION: An encoding input is supplied to an encoding table (ROM) 1 for variable length encoding and a first MUX 2. The encoding table 1 converts the encoding input to a variable length code, outputs the code and outputs the code length as well. The code length output from this encoding table 1 is supplied to a second MUX 3 together with a fixed length code input to be inputted in the case of the fixed length encoding of the encoding input. By controlling the outputs of these first and second MUX 2 and 3 according to a variable length/fixed length control signal, the encoded codes and the code lengths in the respective cases are outputted. The encoded codes and the code lengths from these first and second MUX 2 and 3 are inputted to a shifter 4 and a shifter control circuit (adder 6 and register and processed so that the next code can successively follow to a certain code.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-22156

(43)公開日 平成 5 年(1993) 1 月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/42		8836-5 J		
G 0 6 F 15/66	3 3 0 A	8420-5 L		
H 0 4 N 1/41	Z	8839-5 C		
7/13	Z	4228-5 C		

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平3-175579

(22)出願日 平成 3 年(1991) 7 月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 池田 康成

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

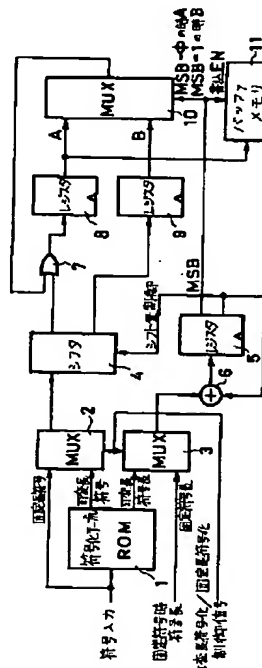
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 可変長／固定長符号化回路

(57)【要約】

【目的】 どのような長さの固定長符号も可変長符号間にダミースペースを加える事なくつなぎ合わせる事ができるようにする。

【構成】 符号化入力是可変長符号化のための符号化テーブル (ROM) 1 及び第 1 の MUX 2 に供給される。符号化テーブル 1 では符号化入力を可変長符号コードに変換して出力すると共にその符号長も出力する。この符号化テーブル 1 からの符号長出力は、符号化入力を固定長符号化する時に入力される固定長符号入力と共に第 2 の MUX 3 に供給される。そしてこの第 1 の MUX 2 及び第 2 の MUX 3 出力を可変長／固定長制御信号にて制御する事によりそれぞれの場合の符号化コード及其符号長を出力する。この第 1 の MUX 2 及び第 2 の MUX 3 からの符号化コード及びその符号長をシフト 4 及シフト制御回路 (加算器 5、レジスタ 6) に入力し、ある符号の後に次の符号が順次連続する様に処理する。



1

【特許請求の範囲】

【請求項 1】 符号化入力データの他に可変長及び固定長の識別信号と、固定長符号化時の固定符号長データを入力し、可変長符号化時は可変長符号とその可変符号長を又固定長符号化時には固定長符号とその固定符号長を発生する手段を設け、この可変長符号及固定長符号の符号データをその符号長を用いて時間的に順次連続する様にした可変長／固定長符号化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば画像信号の高効率符号化装置に用いられる可変長／固定長符号化回路に関するものである。

【0002】

【従来の技術】画像信号の高効率符号化装置においては符号化処理後の発生情報をその発生情報量に対応したビット長で伝送すべく可変長符号化処理が行われている。これは情報の統計的な偏りを利用した符号化であり、例えば発生頻度の高い情報には短いビット長の符号を、逆の場合には長いビット長の符号を割当るいわゆるハフマン符号化や、同一情報が連続して発生する事が多い事を利用したランレングス符号化などが用いられる。

【0003】この符号化情報を伝送したり記録するには同期を取ったり更には各種の副情報（符号化モード、バッファ蓄積量等）が付加されるがこれらの副情報は統計的偏りが少ないので一般的には固定長符号化が行われる。またこの固定符号長も各種の副情報によって情報量が異なる為に一般的には長さが異なる。

【0004】可変長符号化回路としては例えば図 3、図 4 に示すような回路が用いられる。上述の各種固定長の副情報や同期語を可変長データの間に付加するにはこれを図 5 の様に構成することが提案されているが、しかしながら図中に示した様に固定長符号と可変長符号のつなぎにダミースペースが入ってしまうと効率の良い符号系列を得る事が出来なかった。

【0005】すなわち図 5 の回路において、符号化入力に対して個々に固定長符号化か可変長符号化かのフラグをつけ、フラグ状態に従って可変長符号化回路の出力か符号化入力かを選択してバッファメモリに書き込む。ところがこの回路において、符号長が 16 ビット幅でない副情報を固定長符号化する時、図 6 の A に示すように固定長符号と可変長符号の間にダミーデータが入ってしまう。また可変長符号に引き続いて副情報を固定長符号化する時、同図の B に示すように可変長符号と固定長符号の間にダミーデータが入ってしまう。

【0006】一方、図 3、図 4 の回路では、符号化テーブルを一種類しか持っていないがこのテーブルを複数持つ事も考えられ、この符号化テーブルの中に固定長のテーブル即ち ROM への符号化入力をそのままの形で出力するテーブルを持たせればテーブルを選択する事により

2

可変長符号化も固定長符号化も混在したまま行う事ができる。図 7 にはこの様な考えに基づく可変長／固定長符号化回路を示した。しかしながら固定長符号化すべき副情報が全て同一の符号長で表せる時は図 7 の方法は非常に簡単であり優れているが一般に固定長符号化すべき副情報は同一の符号長とは限らない。例えばある符号化ブロックがフィールド内符号化されたのかフレーム間符号化されたのかを示す副情報は 1 ビットですむが、バッファメモリの蓄積量などの副情報は 10 ビット以上送らねばならない事もある。この様に固定長符号化すべき副情報が同一の符号長でない場合は固定長符号から次の符号に移る時にダミースペースが入ってしまうと効率の良い符号系列を得る事ができなかった。

【0007】

【発明が解決しようとする課題】解決しようとする問題は、従来の回路では可変長／固定長符号化を行うにあたり、種々の符号条件が満たされねばならず、柔軟な符号化を行う事が出来なかったというものである。

【0008】

【課題を解決するための手段】本発明は、符号化入力データの他に可変長及び固定長の識別信号と、固定長符号化時の固定符号長データを入力し、可変長符号化時は可変長符号とその可変符号長を又固定長符号化時には固定長符号とその固定符号長を発生する手段（符号化テーブル（ROM）1、第 1 の MUX 2 及び第 2 の MUX 3）を設け、この可変長符号及固定長符号の符号データをその符号長を用いて時間的に順次連続する（シフト 4、加算器 5、レジスタ 6）様にした可変長／固定長符号化回路である。

【0009】

【作用】これによれば、どのような長さの固定長符号も可変長符号間にダミースペースを加える事なくつなぎ合わせる事ができ、効率の良い符号系列を得る事ができる。

【0010】

【実施例】図 1 に本案の構成例を示した。符号化入力は可変長符号化のための符号化テーブル（ROM）1 及び第 1 の MUX 2 に供給される。符号化テーブル 1 では符号化入力を可変長符号コードに変換して出力すると共にその符号長も出力する。この符号化テーブル 1 からの符号長出力は、符号化入力を固定長符号化する時に入力される固定長符号入力と共に第 2 の MUX 3 に供給される。そしてこの第 1 の MUX 2 及び第 2 の MUX 3 出力を可変長／固定長制御信号にて制御する事によりそれぞれの場合の符号化コード及その符号長を出力する。この第 1 の MUX 2 及び第 2 の MUX 3 からの符号化コード及びその符号長をシフト 4 及シフト制御回路（加算器 5、レジスタ 6）に入力し、ある符号の後に次の符号が順次連続する様に処理する。

【0011】なお 7 はオア回路、8、9 はレジスタ、10 は第 3 の MUX、11 はバッファメモリである。さら

3

に図2には上述の構成例の各部の動作の様子を図示した。

【0012】こうして上述の装置によれば、どのような長さの固定長符号も可変長符号間にダミースペースを加える事なくつなぎ合わせる事ができ、効率の良い符号系列を得る事ができるものである。

【0013】すなわち本案では、第1のMUX 2及び第2のMUX 3で符号コード及びその符号長を可変長符号、固定長符号の区別なく発生でき、又固定長符号化するときもその符号長を任意に外部から設定できるので柔軟性を持った可変長／固定長符号化が行える。

【0014】

【発明の効果】この発明によれば、どのような長さの固定長符号も可変長符号間にダミースペースを加える事なくつなぎ合わせる事ができ、効率の良い符号系列を得る事ができるようになった。

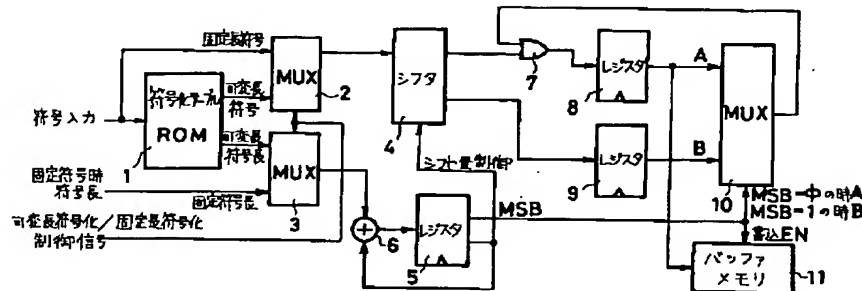
【図面の簡単な説明】

【図1】本発明による可変長／固定長符号化回路の一例の構成図である。

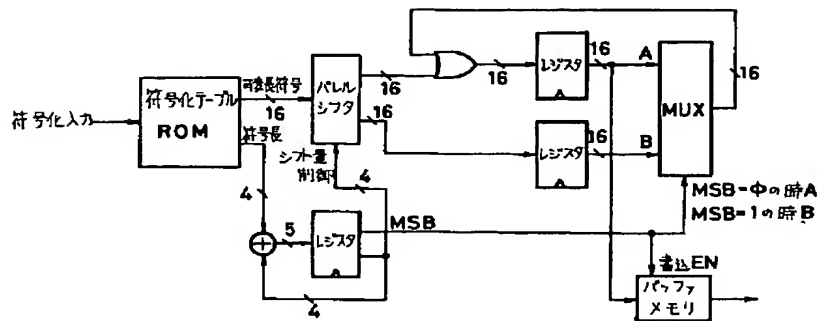
【図2】その説明のための図である。

*20

【図1】



【図3】



4

*【図3】従来の可変長／固定長符号化回路の構成図である。

【図4】その説明のための図である。

【図5】従来の可変長／固定長符号化回路の構成図である。

【図6】その説明のための図である。

【図7】従来の可変長／固定長符号化回路の構成図である。

【符号の説明】

- 1 符号化テーブル (ROM)
- 2 第1のMUX
- 3 第2のMUX
- 4 シフタ
- 5 加算器
- 6 レジスタ
- 7 オア回路
- 8、9 レジスタ
- 10 第3のMUX
- 11 バッファメモリ

符号化方式 可変長符号 ROM出力

固定長符号

MUX1出力

MUX2出力

R中状態

シフト量 MSB

バッファへの書き込み

ROM 出力

可変長符号
符号長

有効な可変長符号データ

無効データ

シフト状態

R中状態

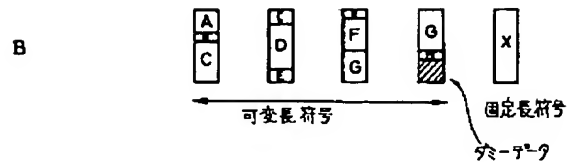
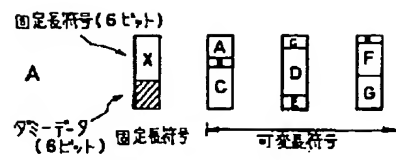
シフト量
MSB

レジスタR1状態

レジスタR2状態

バッファへの書込

【図 6】



【図 7】

